

Application Note



BASIC IO CORE – Funkční vzorek řadiče elektronického potenciometru

Jiří Kadlec, Leoš Kafka, Jaroslav Stejskal

kadlec@utia.cas.cz

Obsah

1. Úvod.....	2
2. Popis funkčního vzorku.....	2
2.1 Tlačítka, přepínače, LEDs.....	3
2.2 Elektronický potenciometr.....	4
3. Parametry modulu basic_io_core.....	4
4. Použité/potřebné vybavení a nástroje.....	5
5. Funkční vzorek modulu řadiče elektronického potenciometru.	5
6. Poděkování.....	8
7. BASIC_IO_CORE.....	9
8. Licensing and availability (anglicky).....	9
9. Disclaimer (anglicky).....	9
10. Reference.....	10

Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	1.12.2007	J.Stejskal	Vytvoření dokumentu
1	10.7.2008	J.Stejskal	Revize dokumentu
2	12.12.2009	Jiří Kadlec	Verze pro ISE 11.3 s popisem příkladu
3	31.12.2010	Jiří Kadlec	Verze pro ISE 12.4 s popisem příkladu
4	2.08.2011	Jiří Kadlec	Verze pro ISE 13.2 s popisem příkladu

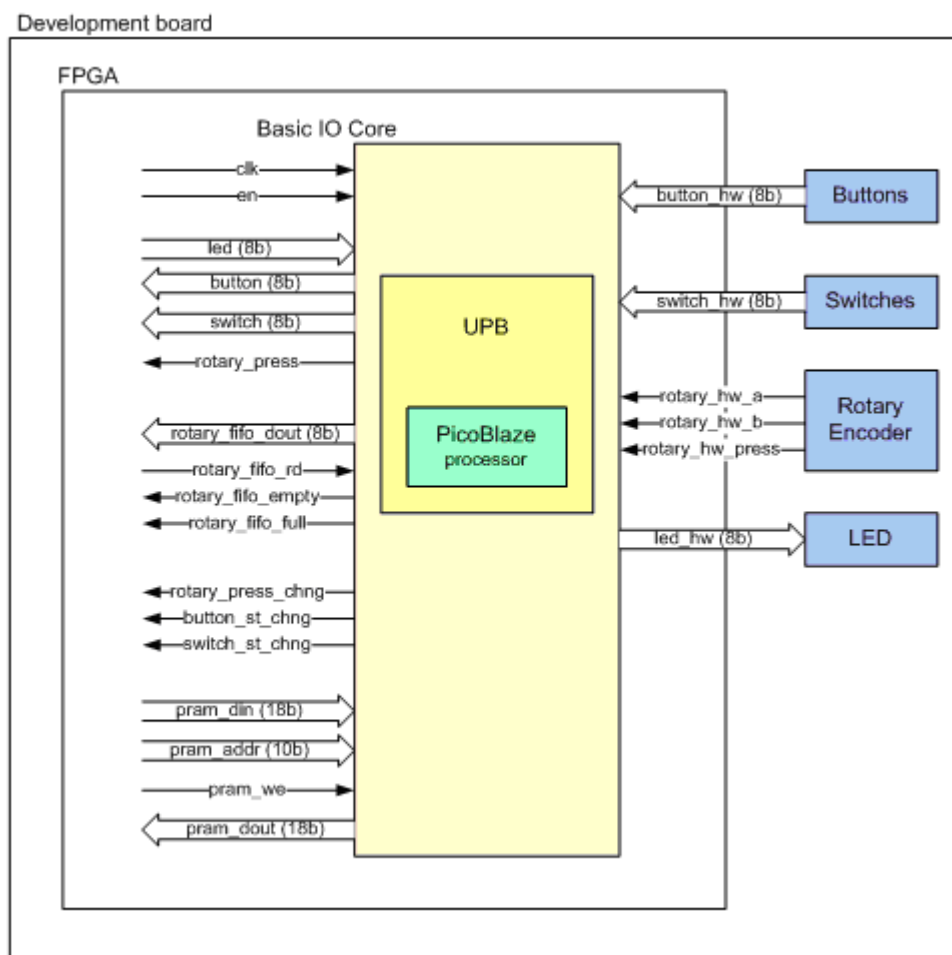
1. Úvod

Tento dokument popisuje funkční vzorek HW modulu řadiče pro obsluhu elektronického potenciometru, osmi tlačítek, osmi přepínačů a osmi LED, které jsou na přípravku S3E1600 [2].

Modul je vytvořen na základě konfigurovatelného modulu UPB. UPB je konfigurovatelný modul s procesorem PicoBlaze vybavený základními periferiemi (programové RAM, datové RAM, registry a FIFO). Modul je navržen tak, aby mohl být snadno implementován jako řadič základních periferií vývojové desky do systému s řídicím procesorem PicoBlaze, nebo do systému s procesorem MicroBlaze. Testovací příklad vychází z příkladu [6b], jehož autorem je Ken Chapman.

2. Popis funkčního vzorku

Univerzální řadič displeje je založen na konfigurovatelném wrapperu UPB jehož autorem je Ing. Leoš Kafka. Principiální schéma je na obrázku 1. Modul má vstup pro hodinový signál *clk* (clock) a signál pro aktivaci *en* (enable), který je aktivní v log.1. Modul má vstupní porty pro připojení tlačítek, přepínačů a elektronického potenciometru (rotary encoder). Dále pak má výstupní port pro buzení LED. Změny elektronického potenciometru jsou vyhodnocovány procesorem a zapisovány do výstupní FIFO. Přehled všech portů modulu Basic IO Core včetně jejich směru a bitových šířek je uveden v tabulce 1.



Obrázek 1 Principiální schéma modulu Basic IO Core

Tabulka 1 - Přehled portů modulu Basic IO Core

Port	Vstup/Výstup	Šířka [bit]	Význam
clk	Vstup	1	Hodinový signál
en	Vstup	1	Povolení funkce modulu (aktivní v log.1)
led	Vstup	8	Požadavek na nastavení LED
button	Výstup	8	Stav tlačítek
switch	Výstup	8	Stav přepínačů
rotary_press	Výstup	1	Stav tlačítka elektronického potenciometru
rotary_fifo_dout	Výstup	8	Výstupní data FIFO el. potenciometru
rotary_fifo_rd	Vstup	1	Řídící signál FIFO (aktivní v log.1)
rotary_fifo_empty	Výstup	1	Příznak prázdné FIFO (aktivní v log. 1)
rotary_fifo_full	Výstup	1	Příznak plné FIFO (aktivní v log.1)
rotary_press_chng	Výstup	1	Příznak změny stavu tlačítka el. potenciometru
buton_st_chng	Výstup	1	Příznak změny stavu tlačítek
switch_st_chng	Výstup	1	Příznak změny stavu přepínačů
button_hw	Vstup	8	Port pro připojení tlačítek
switch_hw	Vstup	8	Port pro připojení přepínačů
led_hw	Výstup	8	Port pro připojení LED
rotary_hw_a	Vstup	1	Port pro připojení signálu A el. potenciometru
rotary_hw_b	Vstup	1	Port pro připojení signálu B el. potenciometru
rotary_hw_press	Vstup	1	Port pro připojení tlačítka el. potenciometru
pram_din	Vstup	18	Vstupní data programové paměti procesoru
pram_addr	Vstup	10	Adresa programové paměti
pram_we	Vstup	1	Řídící signál programové paměti
pram_dout	Výstup	18	Výstupní data programové paměti

2.1 Tlačítka, přepínače, LEDs

Modul je vybaven osmi-bitovým vstupním portem *button_hw* pro připojení až osmi tlačítek. Stav tlačítek je čten procesorem PicoBlaze, který ošetřuje jejich zámkity a na výstupní port *button* zapisuje jejich aktuální stav. K dispozici je i výstupní signál *button_st_chng*, který impulsem v log.1 signalizuje změnu výstupního portu s aktuálním stavem tlačítek *button*. Tento signál může být využit například pro generování přerušování řídicího procesoru systému.

Obdobným způsobem je modul vybaven osmi-bitovým vstupním portem *switch_hw* pro maximálně osm přepínačů. Stav přepínačů je k dispozici na výstupním portu *switch*, a změna tohoto portu je signalizovaná výstupním signálem *switch_st_chng*.

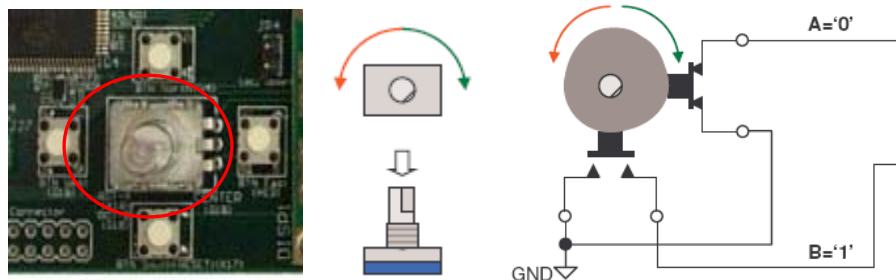
Pro ovládání až osmi LED má modul osmi-bitový vstupní port *led*, podle kterého procesor nastavuje výstupní port *led_hw*, ke kterému jsou LED připojeny. Všechny zmíněné periferie vývojové desky S3ESK jsou znázorněny na obrázku 2.



Obrázek 2 Tlačítka, přepínače a LED na vývojové desce S3ESK

2.2 Elektronický potenciometr

Elektronický potenciometr (rotary encoder) je připojen k modulu na vstupní porty *rotary_hw_a*, *rotary_hw_b* a *rotary_hw_press*. El. potenciometr je znázorněn na obrázku 3. Signály jsou vyhodnocovány logikou a generují přerušení procesoru, který přečte směr otočení a zapíše změnu do výstupní FIFO s délkou 32 slov. Procesor zapisuje do FIFO hodnoty ± 1 v dvojkovém doplňku (tedy 0x01 a 0xFF). Hodnoty FIFO jsou k dispozici na portu *rotary_fifo_dout*. K ovládní FIFO slouží signál *rotary_fifo_rd* (fifo read). K sledování stavu FIFO slouží signály *rotary_fifo_full* a *rotary_fifo_empty* indikující prázdnou, nebo plnou FIFO. Pokud FIFO nebude dostatečně rychle, nebo často vyčítána a naplní se, procesor nebude reagovat na další změny elektronického potenciometru. Stav stisknutí elektronického potenciometru je k dispozici na výstupním portu *rotary_press* a změna tohoto stavu generuje impuls v log.1 na portu *rotary_press_chng*.



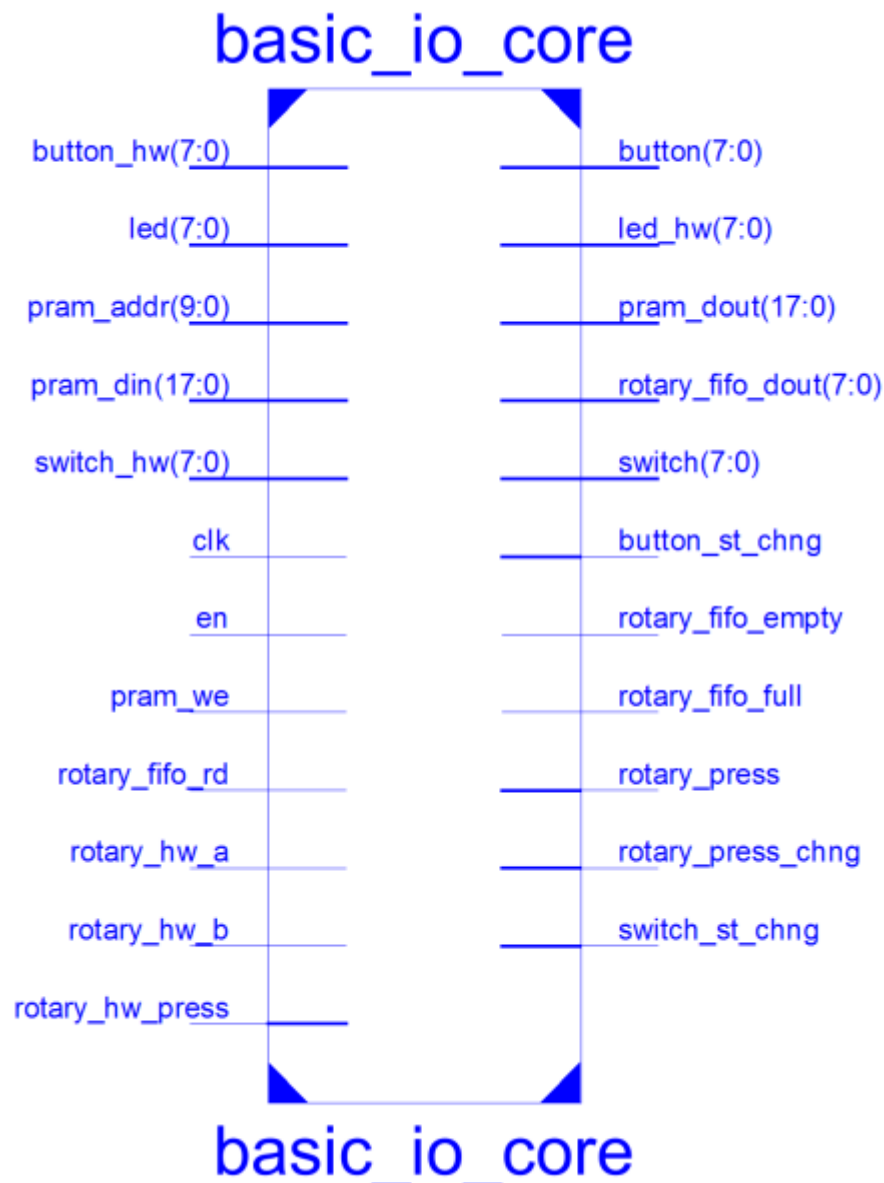
Obrázek 3 Elektronický potenciometr na vývojové desce S3ESK

3. Parametry modulu basic_io_core

Velikost *basic_io_core* modulu v ISE 13.2 je uvedena v tabulce 2.:

Tabulka 2 – BASIC_IO_CORE velikost HW

Number of Slices	157
Number of Slice Flip Flops	178
Number of 4 input LUTs	310
Number of BRAMs	1



Obrázek 4 basic_io_core v ISE 13.2

4. Použité/potřebné vybavení a nástroje

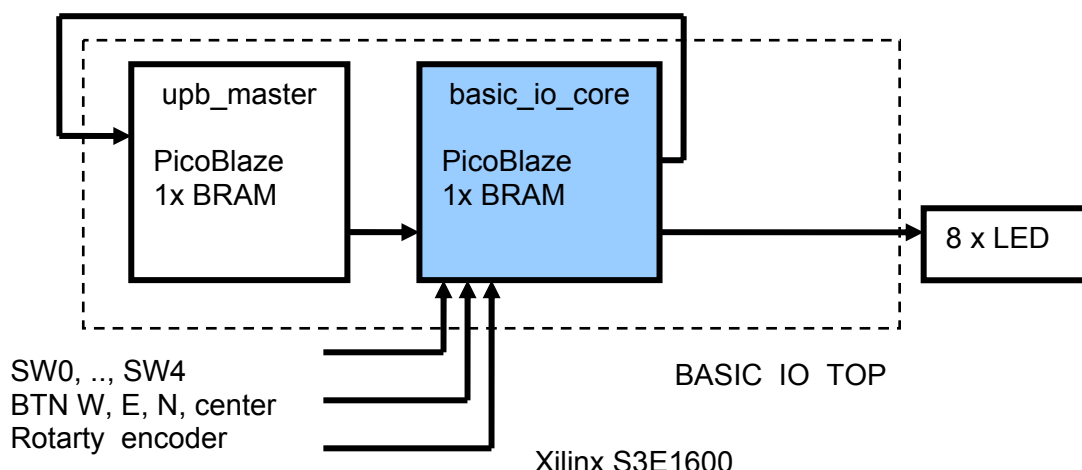
Komponenta basic_io_core modulu byla napsána v programovacím jazyce VHDL ve vývojovém prostředí Xilinx ISE verze 13.2 [2].

Program procesoru PicoBlaze byl napsán v assembleru a k překladač byl použit překladač KCPSM3.exe, který je součástí balíčku procesoru PicoBlaze [1].

5. Funkční vzorek modulu řadiče elektronického potenciometru.

Funkční vzorek zapojení modulu řadiče elektronického potenciometru umožňuje ovládat LED diody pomocí 4 tlačítek a 4 přepínačů na desce S3E1600. Elektronický potenciometr (rotary encoder) posouvá svítící LED diody vpravo nebo vlevo podle směru otáčení potenciometru. Stisknutí

elektronického potenciometru vede k inverzi svítících a nesvítících LED diod. Ovládaní je prováděno pomocí tlačítek a přepínačů. Blokové schéma funkčního vzorku zachycuje Obr. 6.



Obrázek 5: Blokové schéma funkčního vzorku s AD_CORE

Modul `basic_io_core` je připojen na vstupní a výstupní piny FPGA a na jednoduché vstupní periferie popsané výše. Modul `upb_master` zpracovává data přijímá z modulu `basic_io_core` reprezentující informaci o vstupních periferiích a současně zadává do modulu `basic_io_core` jaká data má zobrazit na výstupní periferii (na 8 LED diodách desky S3E1600).

Hodiny systému 75 MHz jsou generovány v FPGA z hodinového signálu desky 50 MHz pomocí modulu `dcm_mhz`.

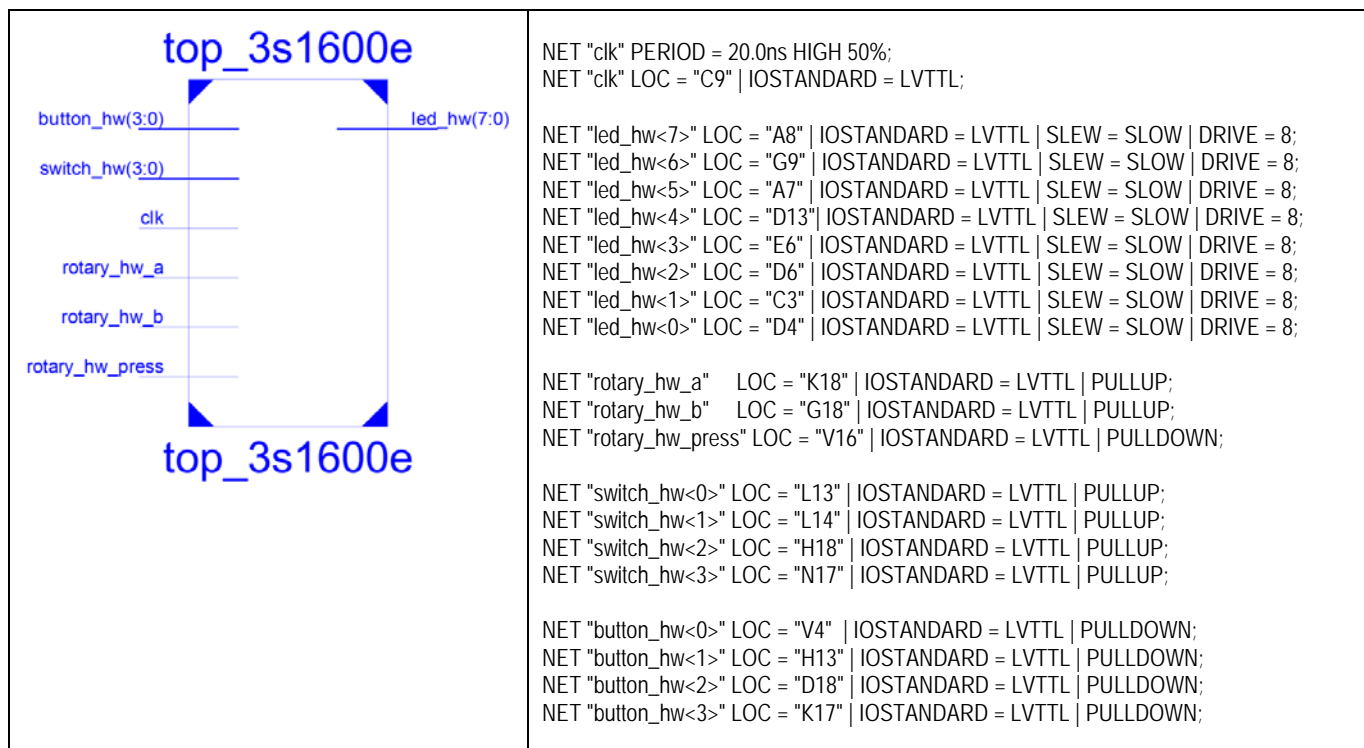
HW nároky celého příkladu pro desku S3E1600 v ISE 13.2 pro hodiny systému 75 MHz uvádí tabulka 3.

Tabulka 3 – Příklad BASIC_IO_CORE velikost a odběr celého HW

	XC3S1600E-4
	top_3s1600e
Number of Slices	297
Number of Slice Flip Flop	269
Number of 4 input LUTs	488
Number of BRAMs	2
VCCINT 1,2V (FPGA)	50mA
Odběr na 5,0V zdroji	510mA

Vstupy a výstupy funkčního vzorku modulu řadiče elektronického potenciometru BASIC_IO_CORE na desce S3E1600 jsou uvedeny v tabulce 4.

Tabulka 4 – Vstupy a výstupy funkčního vzorku BASIC_IO_CORE na desce S3E1600



Funkční vzorek modulu řadiče elektronického potenciometru BASIC_IO_CORE na desce S3E1600 je zobrazen na obr. 6.



Obrázek 6: Funkční vzorek modulu řadiče elektronického potenciometru BASIC_IO_CORE na desce S3E1600

6. Poděkování

Návrh a realizace tohoto funkčního vzorku byla podpořena projektem ministerstva školství a tělovýchovy číslo 2C06008, <http://www.vlam.cz>.

7. BASIC_IO_CORE

S3E1600\ impl\ basic_io_core\ basic_io_core.ngc	Modul řadiče elektronického potenciometru Modul zpracovává vstupy a výstupy desky
upb_master\ upb_master.ngc	Modul připravuje data pro LED podle vstupů předzpracovaných v basic_io_core
dcm_mhz\ dcm_mhz.ngc	Modul generující hodinový signál 75 MHz
basic_io_top\ basic_io_top.ngc	Modul propojuje basic_io_core.ngc spolu s upb_master.ngc
top_3s1600e\ ...	Projekt pro překlad funkčního vzorku pomocí Xilinx ISE 13.2
top_3s1600e_bit\ top_3s1600e_mcf\ src\ ucf\ top_3s1600e.ucf	Konfigurační data funkčního vzorku Konfigurační data pro platform flash
vhdl\ top_3s1600e.vhd	Definice vstupů a výstupů pro 3s1600e Zdrojový kód ve VHDL (top level)

8. Licensing and availability (anglicky)

This functional sample is provided in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 [2]. If you plan to use this functional sample netlist for education purposes, you can contact UTIA AV CR, v.v.i. for support. The contact person in UTIA is Jiri Kadlec kadlec@utia.cas.cz tel. +420 2 6605 2216 fax. +420 2 6605 2511.

If you consider commercial use of this functional sample in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 FPFA or if you need the source code of this functional sample, please contact UTIA AV CR v.v.i. Commercial End User License Agreement (Commercial EULA) between you and UTIA AV CR, v.v.i. needs to be signed. The contact person in UTIA is Jiri Kadlec kadlec@utia.cas.cz tel. +420 2 6605 2216 fax. +420 2 6605 2511.

9. Disclaimer (anglicky)

This disclaimer is not a license and does not grant any rights to the materials distributed herewith. Except as otherwise provided in a valid license issued to you by UTIA AV CR v.v.i., and to the maximum extent permitted by applicable law:

- (1) THIS APPLICATION NOTE AND RELATED MATERIALS LISTED IN THE PACKAGE CONTENT ARE MADE AVAILABLE "AS IS" AND WITH ALL FAULTS, AND UTIA AV CR V.V.I. HEREBY DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and
- (2) UTIA AV CR v.v.i. shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under or in connection with these materials, including for any direct, or any indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if

such damage or loss was reasonably foreseeable or UTIA AV CR v.v.i. had been advised of the possibility of the same.

Critical Applications:

UTIA AV CR v.v.i. products are not designed or intended to be fail-safe, or for use in any application requiring fail-safe performance, such as life-support or safety devices or systems, Class III medical devices, nuclear facilities, applications related to the deployment of airbags, or any other applications that could lead to death, personal injury, or severe property or environmental damage (individually and collectively, "Critical Applications"). Customer assumes the sole risk and liability of any use of UTIA AV CR v.v.i. products in Critical Applications, subject only to applicable laws and regulations governing limitations on product liability.

10. Reference

- [1] PicoBlaze 8-bit Embedded Processor UG129 June 22, 2011
http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf
- [2] MicroBlaze Development Kit Spartan-3E 1600E Edition User Guide UG257 (v1.1) December 5, 2007
http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf
- [3] Xilinx ISE 13.2, <http://www.xilinx.com/>
- [4] řadič HD44780 <http://www.datasheetarchive.com/HD44780-datasheet.html>
- [5] Spartan3 datasheet http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf
- [6] Xilinx Spartan-3E FPGA Starter Kit Board Design Examples
http://www.xilinx.com/products/boards/s3estarter/reference_designs.htm
- [6a] Ken Chapman, Initial Design for Spartan-3E Starter Kit (LCD Display Control), ISE 8.1i, Xilinx Ltd 16th, February 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf
- [6b] Ken Chapman, Rotary Encoder Interface for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 20th February 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_rotary_encoder_interface.pdf
- [6c] Ken Chapman, Amplifier and A/D Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 23rd February 2006
www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_amplifier_and_adc_control.pdf
- [6d] Ken Chapman, D/A Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 21st February 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_dac_control.pdf
- [6e] Ken Chapman, NOR FLASH Programmer for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, March 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_nor_flash_programmer.pdf
- [6f] Ken Chapman, SPI FLASH Programmer for Spartan-3E Starter Kit, ISE 7.1i, Xilinx Ltd, November 2004
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_spi_flash_programmer.pdf
- [6g] Ken Chapman, Frequency Generator for Spartan-3E Starter Kit, ISE 8.2i, Xilinx Ltd, 18th July 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_generator.pdf
- [6h] Ken Chapman, Frequency Counter for Spartan-3E Starter Kit (with test oscillators), ISE 8.1i, Xilinx Ltd, 7th March 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_counter.pdf
- [6i] Ken Chapman, Software Implementation of Pulse Width Modulation (PWM). A reference design using the Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 24th May 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_pwm_control.pdf